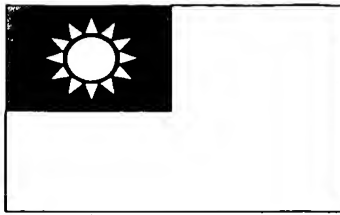


Express mail Label
EV 3437333556



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 11 日
Application Date

申請案號：092121955
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 7 日
Issue Date

發文字號：09221051050
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具散熱件之多晶片半導體裝置及其製法
	英文	MULTI-CHIP SEMICONDUCTOR PACKAGE WITH HEAT SINK AND FABRICATION METHOD THEREOF
二、 發明人 (共1人)	姓名 (中文)	1. 黃建屏
	姓名 (英文)	1. Chien Ping HUANG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹東鎮康莊街26巷8號
	住居所 (英文)	1. No. 8, Lane 26, Kang Chuang Sreet, Chutung Town, Hsinchu County, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 矽品精密工業股份有限公司
	名稱或姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



17.100572.prd

四、中文發明摘要 (發明名稱：具散熱件之多晶片半導體裝置及其製法)

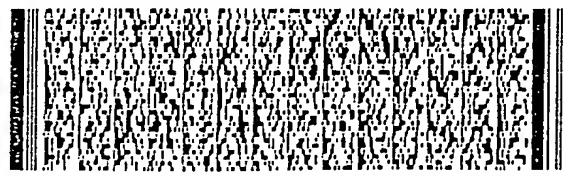
一種具散熱件之多晶片半導體裝置及其製法，其係製備一晶片承載件，並於該晶片承載件之晶片接置區上接置並電性連接有至少一第一晶片及至少一封裝件；透過一黏著層接置一散熱件於該第一晶片及該封裝件相對於該晶片承載件之表面上，其中，該散熱件於未與該第一晶片與該封裝件接觸之部分形成有貫穿該散熱件之鏤空部，藉以釋放該散熱件所產生的熱應力。透過該具散熱件之多晶片半導體裝置及其製法，得避免該封裝件發生翹曲、脫層或晶片受損等問題。

本案代表圖：第 4b圖

3	封裝件	31	晶片承載件
31a	第一表面	31b	第二表面
311	晶片接置區	312、312'	鐳墊
313	鐳球	32	第一晶片

六、英文發明摘要 (發明名稱：MULTI-CHIP SEMICONDUCTOR PACKAGE WITH HEAT SINK AND FABRICATION METHOD THEREOF)

A multi-chip semiconductor package with heat sink and fabrication method thereof are provided. At least a first chip and at least a package device are mounted on and electrically connected to a chip mounting area of a chip carrier. Then, a heat sink is attached onto the first chip and the package device. In addition, at least an opening penetrating the heat sink is formed on the heat



四、中文發明摘要 (發明名稱：具散熱件之多晶片半導體裝置及其製法)

321 作用表面

322 非作用表面

321a 凸塊

33 封裝件

331 作用表面

332 非作用表面

331a 凸塊

34 散熱件

34b、34d 應力釋放孔槽

35 底部填膠

36 黏著層

六、英文發明摘要 (發明名稱：MULTI-CHIP SEMICONDUCTOR PACKAGE WITH HEAT SINK AND FABRICATION METHOD THEREOF)

sink in an area free of contact with the first chip and the package device, in order to release thermal stresses of the heat sink. Thereby, the package can be prevented from being damaged during the reliability test process, and a product yield is thereby promoted.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

一種具散熱件之多晶片半導體裝置及其製法，更詳而言之，係有關於一種得釋放散熱件熱應力的多晶片半導體裝置與製法。

【先前技術】

由於電子產品之微小化以及高運作速度需求的增加，為求提昇單一半導體裝置之性能與容量以符合電子產品小型化、大容量與高速化之趨勢，將半導體裝置以多晶片模組化 (Multi Chip Module; MCM) 的形式呈現，此種封裝件得縮減整體體積並提昇電性功能，遂成為一種封裝的主流。

以配接於個人電腦上的顯示卡 (Graphic Adapter) 為例，為達到高速處理圖形特別是 3D 圖形並加以顯示之目的，在目前的繪圖晶片中，除專用於處理圖像的微處理器 (Graphic Process Unit; GPU) 之外，復包括有用以提供該圖像處理器相較於自主記憶體中存取資料速度更快的記憶體晶片，該記憶體晶片通常係屬於揮發性的隨機存取記憶體，如動態隨機存取記憶體 (Dynamic Random Access Memory; DRAM)、同步動態隨機存取記憶體 (Synchronous Dynamic Random Access Memory; SDRAM) 或雙資料讀取率同步動態隨機存取記憶體 (Double Data Rate SDRAM; DDRSDRAM) 等。而此種具有圖像處理器及記憶晶片的繪圖晶片封裝件，多數係採用並排方式 (side by side) 將複數個半導體晶片彼此並排的安裝於



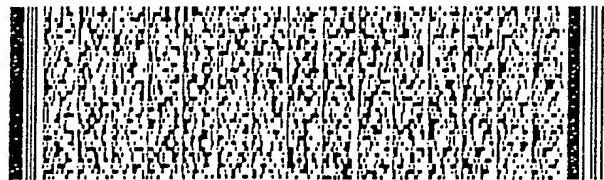
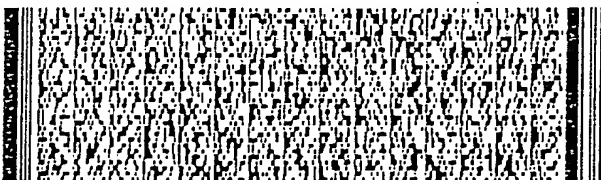
五、發明說明 (2)

該晶片承載件的晶片接置區上。

請參閱第 1 圖，美國專利第 6,020,633 號專利案揭露一種「用以接收另一積體電路之積體電路封裝件」，其中顯示該號專利案結構之剖面示意圖，其中，一封裝件 1 包括一具有兩層而形成有用以電性連接導電跡線之上、中與下三表面的印刷電路板承載件 10；以及一 FPGA11。該承載件 10 包括四種類型的導電跡線其分別為：如連接線 11a 透過導電跡線 12a 電性連接至位於該承載件 10 下表面之凸塊 13a；連接線 11b 透過導電跡線 12b 電性連接至位於該承載件 10 上表面之連接點 14a；連接線 11c 透過導電跡線 12c 同時電性連接至該承載件 10 下表面之凸塊 13b 與該承載件 10 上表面之連接點 14b；以及連接點 14c 透過導電跡線 12d 電性連接至凸塊 13c。

此外，為程式化該 FPGA11，故於該承載件 10 之上表面同時位於該封裝件 1 外部位置，復接置有一可程式唯讀記憶體 (Programmable Read Only Memory; PROM) 15，其中，該可程式唯讀記憶體 15 包括一下覆蓋層 16 與一上覆蓋層 17，並透過複數個凸塊 18 電性連接至該承載件 10 之各該連接點 14a、14b 及 14c 等連接點。

前述之半導體裝置揭露僅有散熱件 (Heat Sink) 覆蓋 FPGA 之結構，承前所述，現今的顯示晶片為達到高遠處理圖形的目的，多半在單一顯示晶片中同時接置有微處理晶片及記憶體晶片等複數個晶片。此外，隨著晶片製程技術的進步，晶片資料處理速度或記憶容量也隨之大幅提

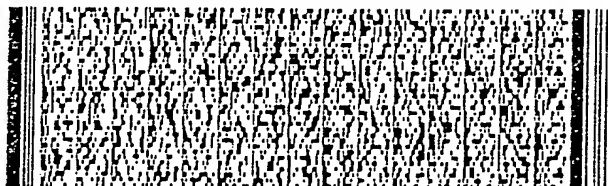


五、發明說明 (3)

升，然隨著處理速度的提升，伴隨而至的就是晶片於執行運算時所產生的高熱。因此，習知的多晶片半導體裝置由於缺乏散熱件將無法適用於高效能的半導體晶片的封裝件上。

為解決此種多晶片模組封裝件之散熱問題，遂有如第2圖所示之封裝件結構，該封裝件2包括一晶片承載件20；至少一第一晶片21及複數個封裝件22，該第一晶片21係以覆晶型式接置並電性連接於該晶片承載件上，而該封裝件22則係以表面接著技術接置並電性連接於該晶片承載件上；以及一透過黏著層23接至於該第一晶片21與該封裝件22相對於該晶片承載件20的表面上之散熱件24。如圖所示，該封裝件22之厚度較該第一晶片21為厚，且該封裝件22係為一薄型細間距球柵陣列式 (Thin & Fine-pitch Ball Grid Array; TFBGA) 封裝結構。雖然此種具有散熱件之封裝件能夠達到散逸熱能之目的，惟會產生其他品質問題。

此係由於該晶片承載件20、第一晶片21、封裝件22、該黏著層23及該散熱件24之熱膨脹係數 (Coefficient of Thermal Expansion; CTE) 均不相同，因此當該封裝件2於後續可靠度測試中經歷極大的溫度變化時，不同材料的接合表面即可能因材料熱應變量之差異，而產生熱應力並衍生各種品質問題。以該第一晶片21與該散熱件24之接合表面為例一般散熱件所使用之銅材料其熱膨脹係數平均約在16.3 ppm/°C左右，而作為晶片之矽材料其熱膨脹係數

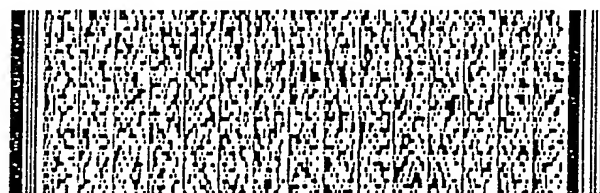
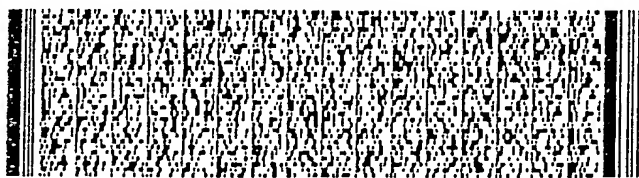


五、發明說明 (4)

平均約在 $2.8 \text{ ppm}/^{\circ}\text{C}$ 至 $3.3 \text{ ppm}/^{\circ}\text{C}$ 之間。是故，當該封裝件 2 於封裝完成而欲進行後續諸如溫度循環試驗 (Thermal Cycling Test; TCT)、熱震試驗 (Thermal Shock Test; TST)、或高溫儲存試驗 (High Temperature Storage-life Test; HTST) 等可靠度測試時，即可能因高溫環境或溫度急劇變化之影響而形成各種熱應力之破壞。此一問題對於具有不同厚度散熱件之多晶片模組封裝件而言，將因為其結構造成更多熱應變量之差異，而各種熱應力破壞將相對更為嚴重。

請參閱第 3a 圖，其中顯示當該封裝件 2 處於一增溫環境下時，由於該散熱件 24 之膨脹熱變形量較該第一晶片 21 與該封裝件 22 為大，並受該散熱件 24 與該第一晶片 21 與該封裝件 22 相互黏接的關係而產生一彎曲 (Bending)，進而使該散熱件 24 與該第一晶片 21 與該封裝件 22 向上翹曲 (Warpage)，最後使第一晶片 21 產生破損 (Crack) 25 並導致該散熱件 24 與該第一晶片 21 與該封裝件 22 間產生脫層 (Delamination) 現象，同時也會造成該第一晶片 21 與該封裝件 22 之凸塊連接品質降低的問題。此外，若該封裝件 22 係分布於該散熱件 24 之週邊時，該散熱件 24 會產生一周拘束的邊界條件，導致該散熱件 24 發生板殼挫曲 (Buckle) 之現象，同時亦將使得該散熱件 24 上下表面的四周與角緣 (Corner) 位置受拘束而承受一最大應力。

不獨於該封裝件 2 處於增溫環境會產生熱應力問題，請參閱第 3b 圖，當該封裝件 2 處於一降溫環境時，該熱膨



五、發明說明 (5)

脹係數較大之散熱件 24 所產生的收縮熱變形量亦將較該第一晶片 21 與該封裝件 22 為大，因此亦會產生一彎曲進而導致該散熱件 24 與該第一晶片 21 與該封裝件 22 向下翹曲。此外，由於該散熱件 24 內所產生之熱收縮應力較該第一晶片 21 與該封裝件 22 為大，故其彎曲變形量亦將大於該第一晶片 21 與該封裝件 22，並對該第一晶片 21 與該封裝件 22 產生一壓力，進而導致該第一晶片 21 因受壓而破損 25。

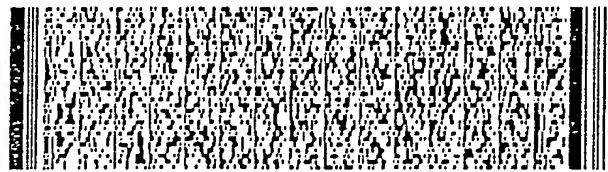
再者，若前述因溫度改變所致之熱應力如無法順利釋放，即便未於測試過程中該封裝件 2 之該些結構產生破壞，亦可能於該散熱件 24 上應力最大之處，亦即於該封裝件 22 黏接之外圍表面，產生一殘餘應力 (Residual Stress)，進而可能於後續溫度循環測試或該些晶片運作時，於該第一晶片 21、該封裝件 22 與該散熱件 24 間之接合處產生延伸裂縫，影響該封裝件 2 之品質。

綜上所述，如何能夠在兼顧多晶片半導體裝置散熱效果的同時，復能同時兼顧其熱應力擴散之問題，避免影響封裝件之品質，遂成為一亟待解決之問題。

【發明內容】

為解決以上所述習知技術之缺點，本發明之主要目的在於提供一種具散熱件之多晶片半導體裝置及其製法，透過於散熱件中應力最大之位置釋放其應力，藉以防止散熱件與晶片間產生脫層現象。

本發明之另一目的在於提供一種具散熱件之多晶片半導體裝置及其製法，透過於散熱件中應力最大之位置釋放



五、發明說明 (6)

其應力，藉以防止晶片因受壓而造成破損的現象。

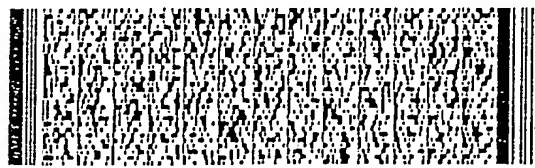
本發明之又一目的在於提供一種具散熱件之多晶片半導體裝置及其製法，透過於散熱件中應力最大之位置釋放其應力，藉以防止晶片承載件、晶片及散熱件等構件產生翹曲變形現象。

本發明之再一目的在於提供一種具散熱件之多晶片半導體裝置及其製法，透過於散熱件中應力最大之位置釋放其應力，藉以確保晶片凸塊之連接品質。

為達成以上所述及其他之目的，本發明之具散熱件之多晶片半導體裝置包括有：一用以提供該半導體裝置電性連接外部之晶片承載件；至少一藉由覆晶形式接置於該晶片承載件之晶片接置區的第一晶片；至少一藉由覆晶形式接置於該晶片承載件之晶片接置區之封裝件；以及一透過一黏著層接置於該第一晶片與該封裝件相對於該晶片承載件之表面上之散熱件，其中，該散熱件於未與該第一晶片與該封裝件接觸之部分形成有貫穿該散熱件之鏤空部，藉以釋放該散熱件所產生的熱應力。

前述之具散熱件之多晶片半導體裝置其製法包括：製備一晶片承載件，並於該晶片承載件之晶片接置區上接置電性連接有至少一第一晶片及一封裝件；其次，透過一黏著層接置一散熱件於該第一晶片及該封裝件相對於該晶片承載件之表面上。

相較於習知的封裝件及其製法，本發明之具散熱件之多晶片半導體裝置及其製法透過於散熱件中應力最大之位



五、發明說明 (7)

置釋放其應力，藉以防止散熱件與晶片間產生脫層、破損、翹曲變形以及凸塊之連接品質受到影響。

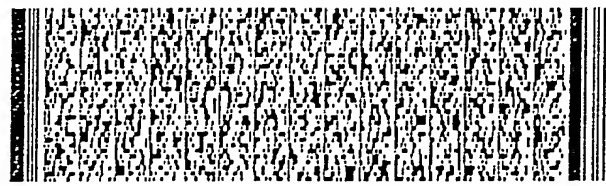
【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

請參閱第 4a 圖，其中顯示於本實施例中本發明之具散熱件之多晶片半導體裝置 3 之上視圖，第 4b 圖係延伸 4a 至 4a 線之剖面示意圖，需特別說明者，係該圖式與本說明書中之其他圖式同為一簡化示意圖，僅以示意方式顯示與本發明之具散熱件之多晶片半導體裝置及其製法有關之構件，實際之半導體裝置其結構佈局與製程應更加複雜。

於本實施例中如第 4a 與 4b 圖所示，本發明之具散熱件之多晶片半導體裝置 3 主要係包括一晶片承載件 31、一第一晶片 32、複數之封裝件 33 以及一散熱件 34。

該晶片承載件 31，其具有一第一表面 31a 及一相對於該第一表面 31a 之第二表面 31b，其中，於該第一表面 31a 上形成有一晶片接置區 311 以供該晶片承載件 31 接置半導體晶片之用；至少一用以依據該電子元件之鐳結圖式進行線路圖案化以佈設有複數之導電跡線的佈線層（未圖示），並同時於該導電跡線之兩端部分別形成有該鐳墊

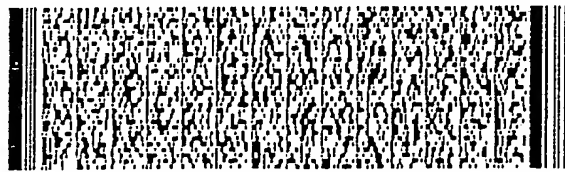


五、發明說明 (8)

312，其中，該第一表面 31a 之鐳墊 312 係用以接至並電性連接覆晶晶片之用，而形成於該第二表面 31b 之鐳墊 312' 則係用以提供該晶片承載件 31 植接複數個呈柵狀陣列排列的鐳球 (Solder ball) 313，俾供該晶片承載件 31 上之電子元件與外部裝置電性連接。

該第一晶片 32，其具有一作用表面 321 與一非作用表面 322，並以覆晶方式接置並電性連接於該晶片承載件 31 上。其中，於該作用表面 321 上形成有複數個凸塊 321a，並將該凸塊 321a 鐳結至形成於該晶片接置區 311 內之鐳墊 312 上，俾供該第一晶片 32 電性連接於該晶片承載件 31 之上。此外，該第一晶片 32 與該晶片承載件 31 間復形成有一底部填膠 35 (underfill)，俾強化該些凸塊 321a 之鐳接強度。於本實施例中，該封裝件 3 係為一顯示卡上之繪圖晶片，而該第一晶片 32 係為一圖像處理器。

該封裝件 33，其具有一作用表面 331 與一非作用表面 332，並以表面耦接技術 (Surface Mount Technology; SMT) 方式接置並電性連接於該晶片承載件 31 上。其中，於該作用表面 331 上形成有複數個凸塊 331a，並將該凸塊 331a 鐳結至形成於該晶片接置區 311 內之鐳墊 312 上，俾供封裝件 33 電性連接於該晶片承載件 31 之上。此外，該封裝件 33 與該晶片承載件 31 間復形成有一底部填膠 35，俾強化該些凸塊 331a 之鐳接強度。於本實施例中，該封裝件 33 係為一隨機記憶單元之 TFBGA 封裝件。需特別說明者，係如第 4b 圖所示，由於該封裝件 33 係為一 TFBGA 封裝件，故

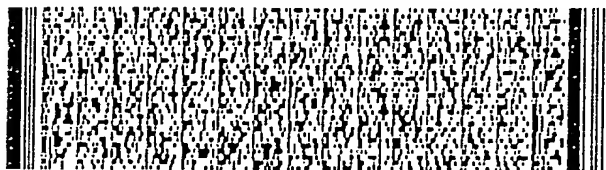


五、發明說明 (9)

相較於以覆晶型式接置於該晶片承載件 31 上的第一晶片 32，則該封裝件 33 之厚度會略厚於該第一晶片 32，且併同參閱第 4a 圖，該封裝件 33 共有四個並分別係接置於該晶片承載件 31 上相對於該散熱件 34 之角緣處。

該散熱件 34，其係透過一導熱性良好如導熱膠 (Thermal Conductive Adhesive) 等之黏著層 36 接置於該第一晶片 32 與該封裝件 33 之非作用表面 322 與 332 上。承前所述，由於該封裝件 33 之厚度係略後於該第一晶片 32，因此該散熱件 34 用以接置於該第一晶片 32 之部分亦須略厚於與該封裝件 33 之部分，此即為何於本實施例中，該散熱件 34 極易受熱應力的影響進而變形之原因。請參閱第 4c 圖，如圖所示，該散熱件 34 為達到釋放應力之目的，故於其表面開設有預定之鏤空部藉以形成一應力釋放孔槽 34a 至 34d。

於本實施例中，該應力釋放孔槽 34a 至 34d 係以一「T」型構造分別形成於該封裝件 33 之間，且並未與該封裝件 33 接觸，俾發揮其應力釋放之功能。需特別說明者，係於本實施例中，該散熱件 34 為符合該第一晶片 32 與該封裝件 33 不同之厚度，故其與該第一晶片 32 接置處相對的厚於與該封裝件 33 接置處，且該散熱件 34 較厚之處正係導致該散熱件 34 變形的主因，故該應力釋放孔槽 34a 至 34d 所形成的溝槽需具有一足夠的寬度，以令該應力釋放槽孔 34a 至 34d 具有足夠大面積，而得加強其應力釋放，特別是對於接置於該第一晶片 32 處應力釋放之功效。反之，若於該



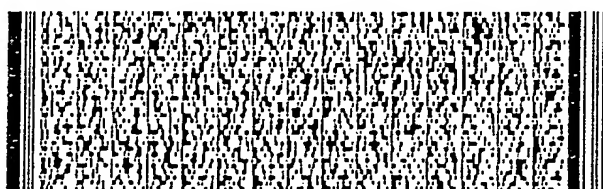
五、發明說明 (10)

溝槽寬度不足以釋放應力時，則可能於該不足寬度的鏤空處之應力不連續點形成應力集中 (Stress Concentration) 現象，進而導致該區域應力的不正常放大，而難達成本發明之功效。因此，該應力釋放孔槽 34a 至 34d 之溝槽寬度及其形狀必須視該散熱件 34 的厚薄加以調整，方得達到確實釋放應力之功效。

請參閱第 5 圖，透過前述之散熱件結構，當該封裝件 3 處於一增溫環境，由該散熱件 34 之熱膨脹係數係較該第一晶片 31 與該封裝件 32 為大，故其熱膨脹量亦將大於該第一晶片 31 與該封裝件 32 之變形量，導致該散熱件 34 產生一向上翹區的趨勢。惟由於本實施例中已於該封裝件 33 間分別開設有該應力釋放槽孔 34a 至 34d，故前述情況所產生之熱應力將可延伸至各該應力釋放槽孔 34a 至 34d 並加以釋放，使得分布於該散熱件 34 上之熱應力大幅降低，而減緩該散熱件 34 之翹曲變形程度。此外，亦不至於在該散熱件 34 與該第一晶片 32 及該封裝件 33 間造成脫層現象，同時也可避免所產生的熱應力轉變成累積於該散熱件 34 中的殘餘應力。

請參閱第 6a 與 6b 圖，其中顯示本發明之具散熱件之多片半導體裝置之製造流程：

請參閱第 6a 圖，製備該晶片承載件 31，並於該晶片承載件 31 之晶片接置區 311 上接置並電性連接該第一晶片 32 及該封裝件 33。承前所述，於本實施例中，該第一晶片 32 係透過覆晶方式將形成於該作用表面 321 上之複數個凸塊



五、發明說明 (11)

321a，鐸結至形成於該晶片接置區 311 內之鐸墊 312 上，俾供該第一晶片 32 接置並電性連接於該晶片承載件 31 之上。

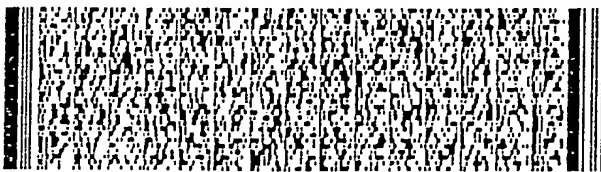
該封裝件 33 則係透過表面耦接技術將形成於該作用表面 331 上之複數個凸塊 331a，鐸結至形成於該晶片接置區 311 內之鐸墊 312 上，俾供該封裝件 33 接置並電性連接於該晶片承載件 31 之上。此外，該第一晶片 32、該封裝件 33 與該晶片承載件 31 間復分別形成有該底部填膠 35。

請參閱第 6b 圖，透過該黏著層 36 接置該散熱件 34 於該第一晶片 32 與該封裝件 33 之非作用表面 322 與 332 上。承前所述，於本實施例中，由於該應力釋放孔槽 34a 至 34d 係以一「T」型構造分別形成於該封裝件 33 之間，為求發揮其應力釋放之功能，故不應與該第一晶片 32 與該封裝件 33 接觸。

需特別說明者，係本發明之具散熱件之多晶片半導體裝置中，該散熱件 34 所開設之應力釋放孔槽數量及其孔槽之寬度，均得視實際晶片數量而有所增減，藉以達到確實釋放熱應力之目的。此外，該應力釋放孔槽之形狀亦不限於「T」形，如第 7a 至第 7c 圖所示之「I」形、梯形或多孔形均無不可。

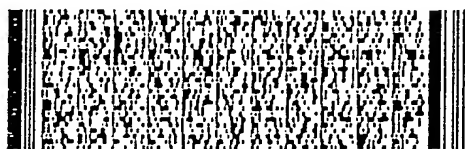
綜上所述，本發明之具散熱件之多晶片半導體裝置及其製法透過於散熱件中應力最大之位置釋放其應力，藉以防止散熱件與晶片間產生脫層、破損、翹曲變形以及凸塊之連接品質受到影響。

上述實施例僅為例示性說明本發明之原理及其功效，



五、發明說明 (12)

而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與變化。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。



圖式簡單說明

【圖式簡單說明】

第 1 圖為習知多晶片半導體裝置之局部剖視圖；

第 2 圖為習知具散熱件多晶片半導體裝置之局部剖視圖；

第 3a 圖為習知具散熱件多晶片半導體裝置於增溫時的熱應力施力示意圖；

第 3b 圖為習知具散熱件多晶片半導體裝置於降溫時的熱應力施力示意圖；

第 4a 圖為本發明之具散熱件之多晶片半導體裝置之部分上視示意圖；

第 4b 圖為本發明之具散熱件之多晶片半導體裝置之剖面示意圖；

第 4c 為本發明之具散熱件之多晶片半導體裝置之上視圖；

第 5 圖為本發明之具散熱件之多晶片半導體裝置增溫時該散熱件的熱應力施力示意圖；

第 6a 與 6b 圖為本發明之具散熱件之多晶片半導體裝置之製造流程圖；以及

第 7a 至第 7c 圖為本發明之具散熱件之多晶片半導體裝置知該散熱件鏤空部其他實施例示意圖。

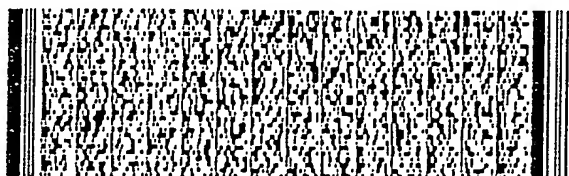
1 封裝件

10 承載件

11 FPGA

11a、11b、11c 連接線

12a、12b、12c、12d 導電跡線



圖式簡單說明

13a、13b、13c	凸塊	14a、14b、14c	連接點
15	可程式唯讀記憶體	16	下覆蓋層
17	上覆蓋層	18	凸塊
2	封裝件	20	晶片承載件
21	第一晶片	22	封裝件
23	黏著層	24	散熱件
25	破損	3	封裝件
31	晶片承載件	31a	第一表面
31b	第二表面	311	晶片接置區
312、312'	鐳墊	313	鐳球
32	第一晶片	321	作用表面
322	非作用表面	321a	凸塊
33	封裝件	331	作用表面
332	非作用表面	331a	凸塊
34	散熱件	34a至34d	應力釋放孔槽
35	底部填膠	36	黏著層



六、申請專利範圍

1. 一種具散熱件之多晶片半導體裝置，係包括：
一晶片承載件，其係用以提供該半導體裝置電性連接至外部裝置；
至少一第一晶片，其係藉由覆晶形式接置於該晶片承載件之晶片接置區；
至少一封裝件，其係藉由表面接著技術接置於該晶片承載件之晶片接置區；以及
一散熱件，其係透過一黏著層接置於該第一晶片與該封裝件相對於該晶片承載件之表面上之，其中，該散熱件於未與該第一晶片與該封裝件接觸之部分形成有貫穿該散熱件之鏤空部，藉以釋放該散熱件所產生的熱應力。
2. 如申請專利範圍第1項之具散熱件之多晶片半導體裝置，其中，該半導體裝置係為一覆晶式球柵陣列封裝件。
3. 如申請專利範圍第1項之具散熱件之多晶片半導體裝置，其中，該半導體裝置係為一繪圖晶片。
4. 如申請專利範圍第3項之具散熱件之多晶片半導體裝置，其中，該第一晶片係為一圖像處理單元。
5. 如申請專利範圍第3項之具散熱件之多晶片半導體裝置，其中，該封裝件係為一隨機存取記憶單元。
6. 如申請專利範圍第5項之具散熱件之多晶片半導體裝置，其中，該封裝件係為一動態隨機存取記憶體 (Dynamic Random Access Memory; DRAM)、同步動



六、申請專利範圍

態隨機存取記憶體 (Synchronous Dynamic Random Access Memory; SDRAM) 或雙資料讀取率同步動態隨機存取記憶體 (Double Data Rate SDRAM; DDRSDRAM) 其中之一種。

7. 如申請專利範圍第 1 項之具散熱件之多晶片半導體裝置，其中，該第一晶片係接置於該晶片承載件中央；該封裝件係分別接置於該晶片承載件上相對於該散熱件之角緣處。
8. 如申請專利範圍第 7 項之具散熱件之多晶片半導體裝置，其中，該散熱件之鏤空部係形成於該封裝件間。
9. 如申請專利範圍第 8 項之具散熱件之多晶片半導體裝置，其中，該散熱件之鏤空部係至少一組相互對稱的形成於該封裝件間。
10. 如申請專利範圍第 1 項之具散熱件之多晶片半導體裝置，其中，該鏤空部係為一「T」形、「I」形、梯形及多孔形其中之一者。
11. 一種具散熱件之多晶片半導體裝置製法，係包括：
製備一晶片承載件，並於該晶片承載件之晶片接置區上接置並電性連接有至少一第一晶片及一封裝件；以及
透過一黏著層接置一散熱件於該第一晶片及該封裝件相對於該晶片承載件之表面上，其中，該散熱件於未與該第一晶片與該封裝件接觸之部分形成有貫穿該散熱件之鏤空部，藉以釋放該散熱件所產生的熱應



六、申請專利範圍

力。

12. 如申請專利範圍第 11 項之具散熱件之多晶片半導體裝置製法，其中，該半導體裝置係為一覆晶式球柵陣列封裝件。
13. 如申請專利範圍第 11 項之具散熱件之多晶片半導體裝置製法，其中，該半導體裝置係為一繪圖晶片。
14. 如申請專利範圍第 13 項之具散熱件之多晶片半導體裝置製法，其中，該第一晶片係為一圖像處理單元。
15. 如申請專利範圍第 13 項之具散熱件之多晶片半導體裝置製法，其中，該封裝件係為一隨機存取記憶單元。
16. 如申請專利範圍第 15 項之具散熱件之多晶片半導體裝置製法，其中，該封裝件係為一動態隨機存取記憶體 (Dynamic Random Access Memory; DRAM)、同步動態隨機存取記憶體 (Synchronous Dynamic Random Access Memory; SDRAM) 或雙資料讀取率同步動態隨機存取記憶體 (Double Data Rate SDRAM; DDRSDRAM) 其中之一種。
17. 如申請專利範圍第 11 項之具散熱件之多晶片半導體裝置製法，其中，該第一晶片係接置於該晶片承載件中；該封裝件係分別接置於該晶片承載件上相對於該散熱件之角緣處。
18. 如申請專利範圍第 17 項之具散熱件之多晶片半導體裝置製法，其中，該散熱件之鏤空部係形成於該封裝件間。

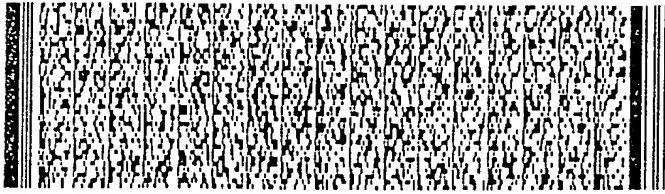


六、申請專利範圍

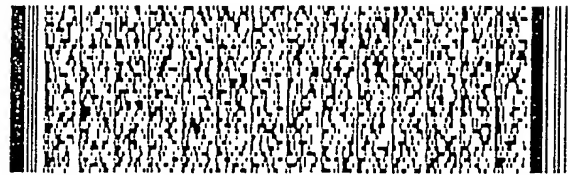
19. 如申請專利範圍第18項之具散熱件之多晶片半導體裝置製法，其中，該散熱件之鏤空部係至少一組相互對稱的形成於該封裝件間。
20. 如申請專利範圍第11項之具散熱件之多晶片半導體裝置製法，其中，該鏤空部係為一「T」形、「I」形、梯形及多孔形其中之一者。
21. 如申請專利範圍第11項之具散熱件之多晶片半導體裝置製法，復包括形成一封裝膠體於該晶片承載件上，用以包覆該第一晶片、封裝件、散熱件及部分之晶片承載件。
22. 如申請專利範圍第11項之具散熱件之多晶片半導體裝置製法，其中，該第一晶片係藉由覆晶形式接置於該晶片承載件之晶片接置區。
23. 如申請專利範圍第11項之具散熱件之多晶片半導體裝置製法，其中，該封裝件係藉由表面接著技術接置於該晶片承載件之晶片接置區。



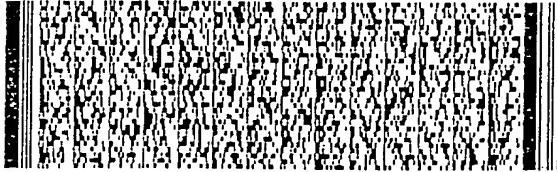
第 1/22 頁



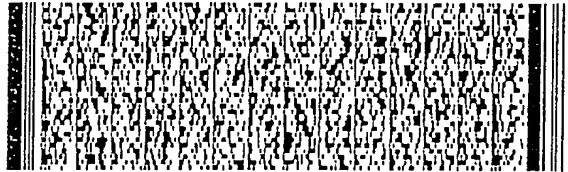
第 2/22 頁



第 2/22 頁



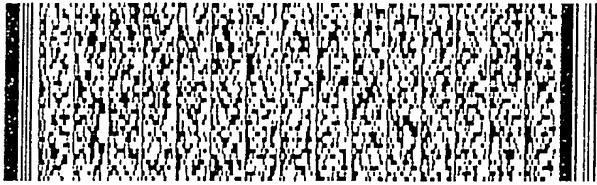
第 3/22 頁



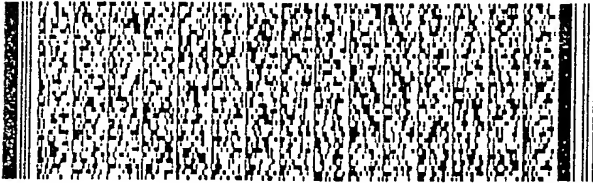
第 4/22 頁



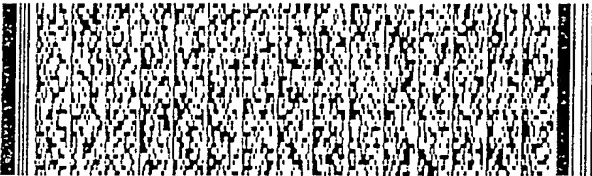
第 5/22 頁



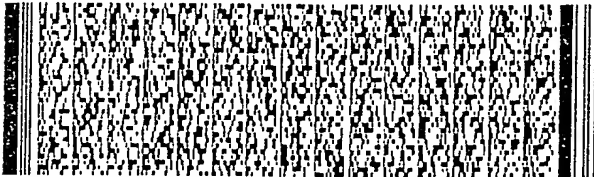
第 5/22 頁



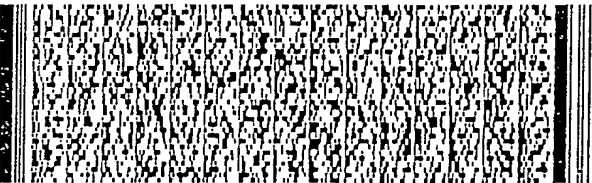
第 6/22 頁



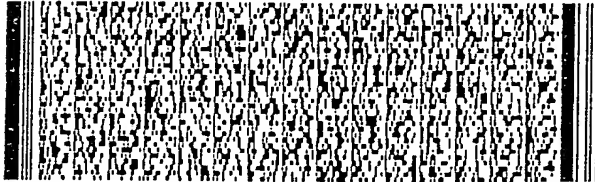
第 6/22 頁



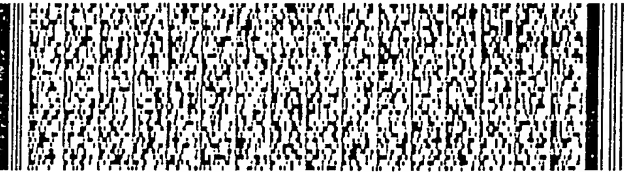
第 7/22 頁



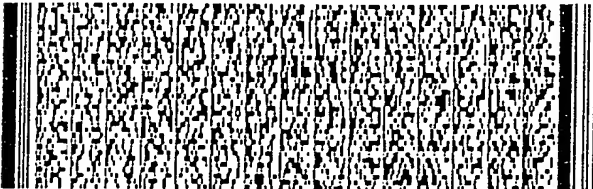
第 7/22 頁



第 8/22 頁



第 8/22 頁



第 9/22 頁



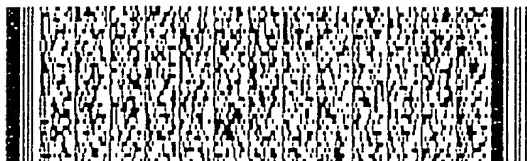
第 9/22 頁



第 10/22 頁



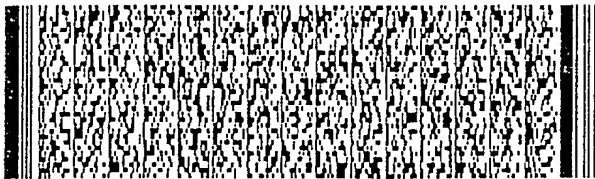
第 10/22 頁



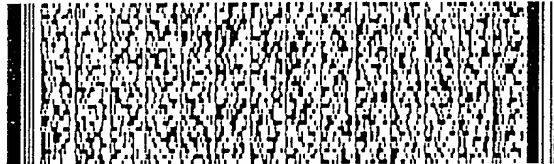
第 11/22 頁



第 11/22 頁



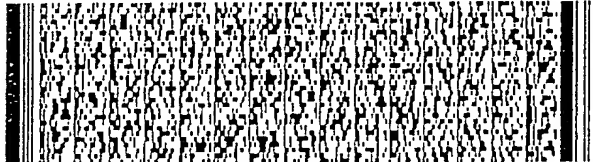
第 12/22 頁



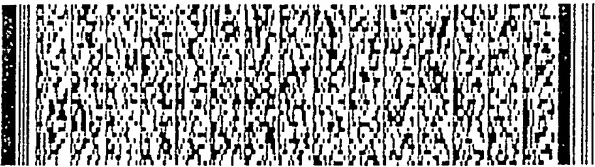
第 12/22 頁



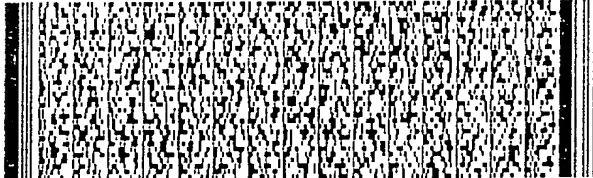
第 13/22 頁



第 13/22 頁



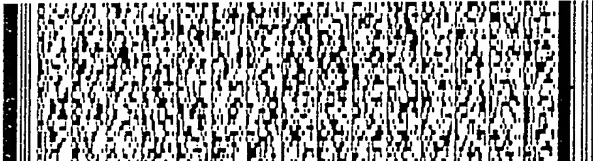
第 14/22 頁



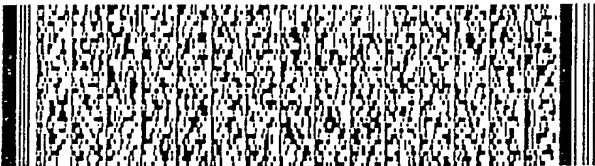
第 14/22 頁



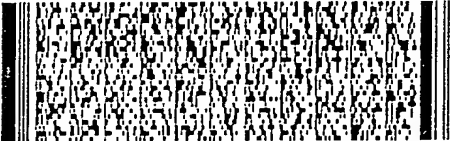
第 15/22 頁



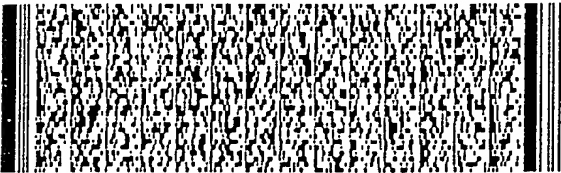
第 15/22 頁



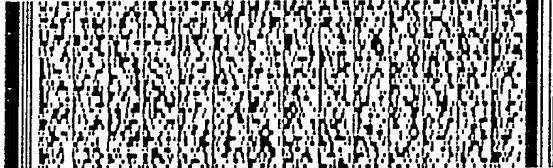
第 16/22 頁



第 17/22 頁



第 18/22 頁



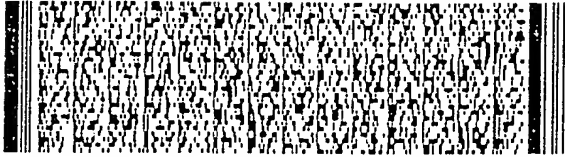
第 19/22 頁



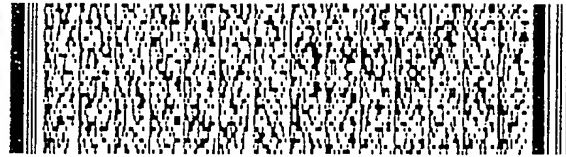
第 19/22 頁



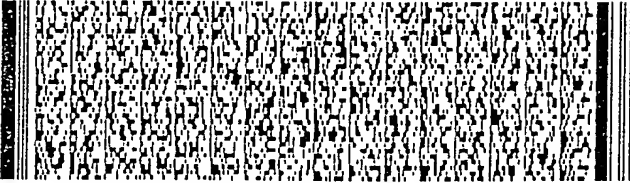
第 20/22 頁



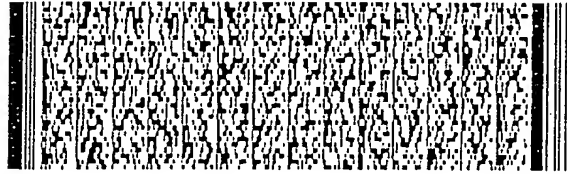
第 20/22 頁

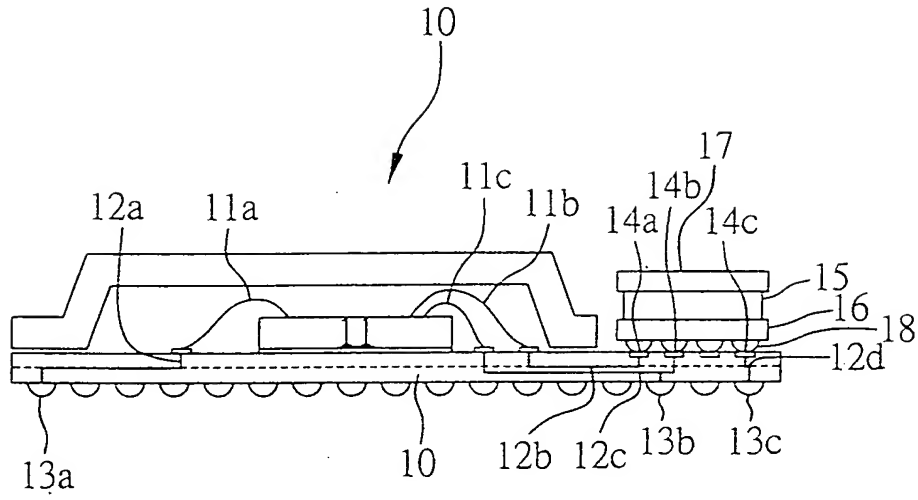


第 21/22 頁

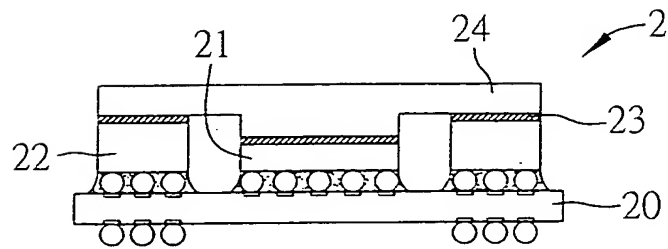


第 22/22 頁

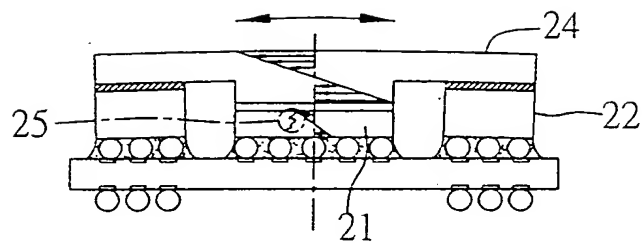




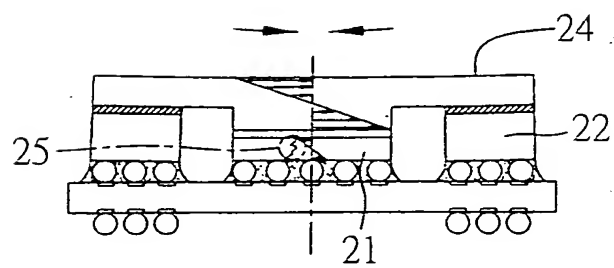
第 1 圖



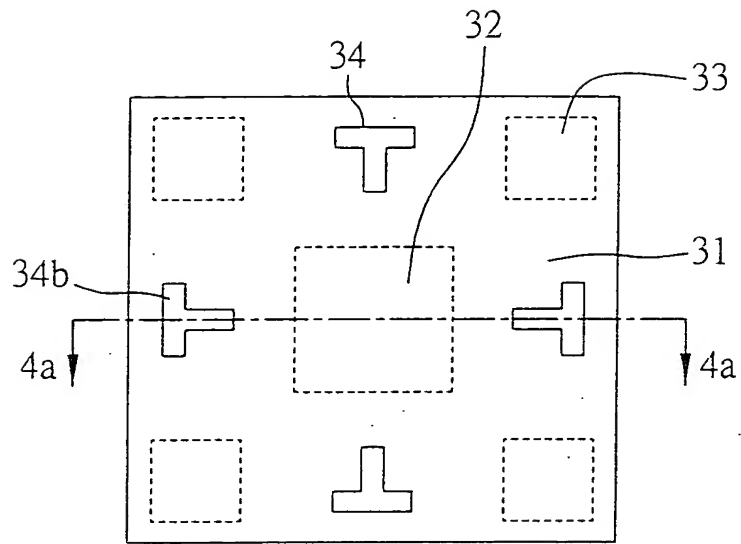
第 2 圖



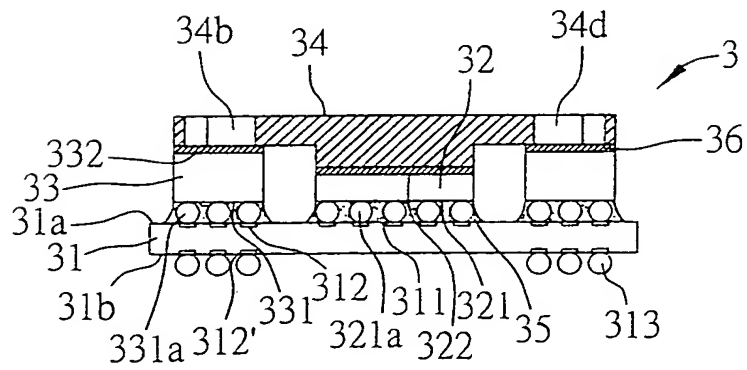
第 3a 圖



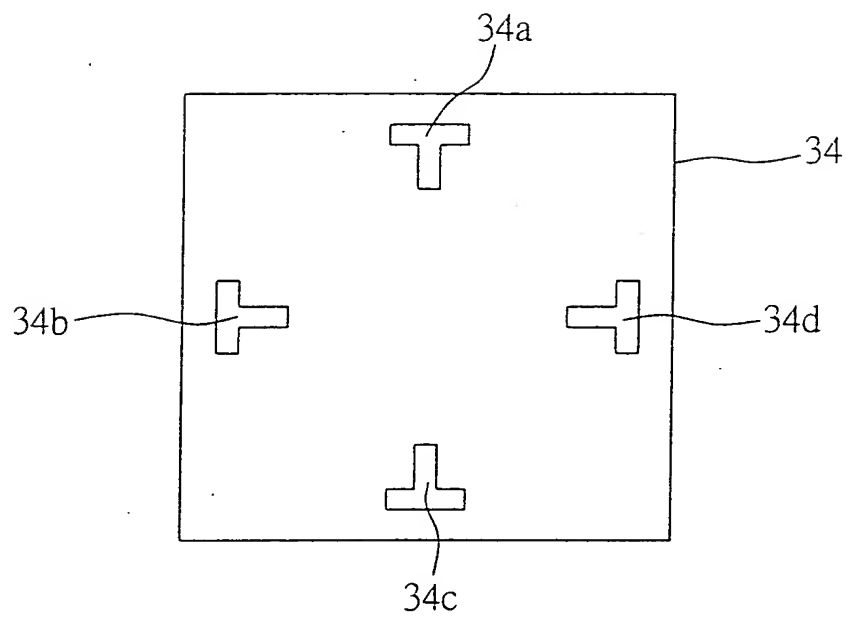
第 3b 圖



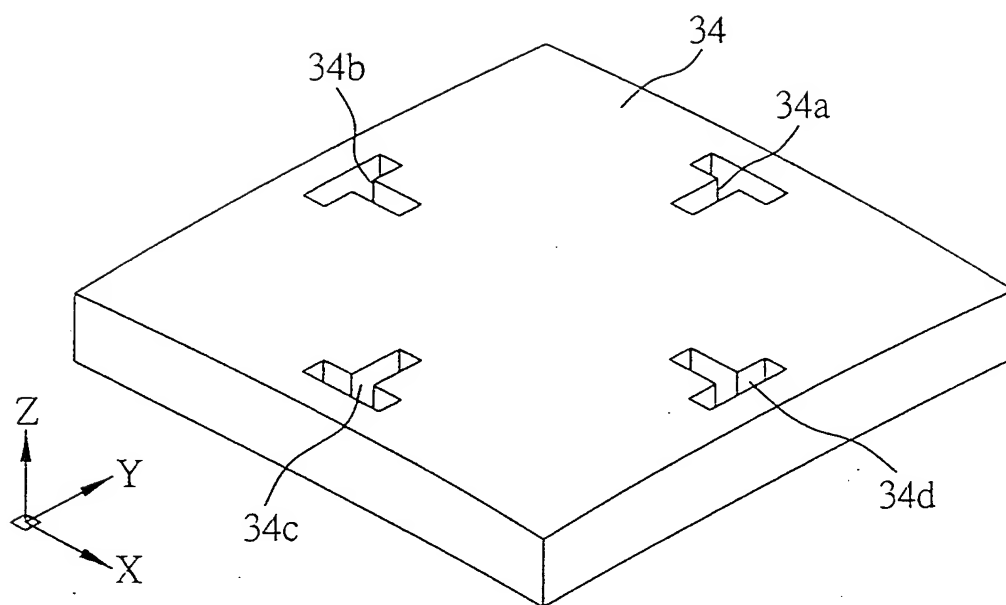
第 4a 圖



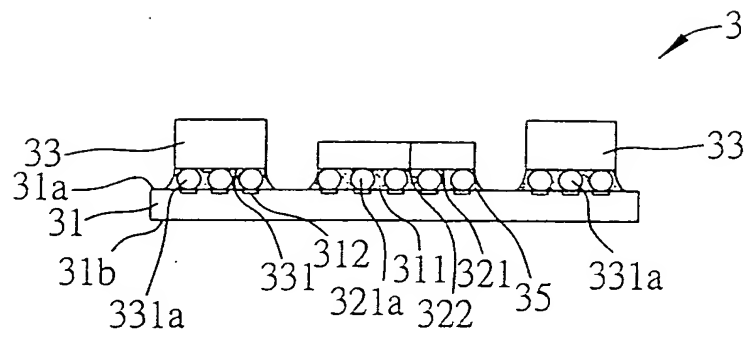
第 4b 圖
(代表圖)



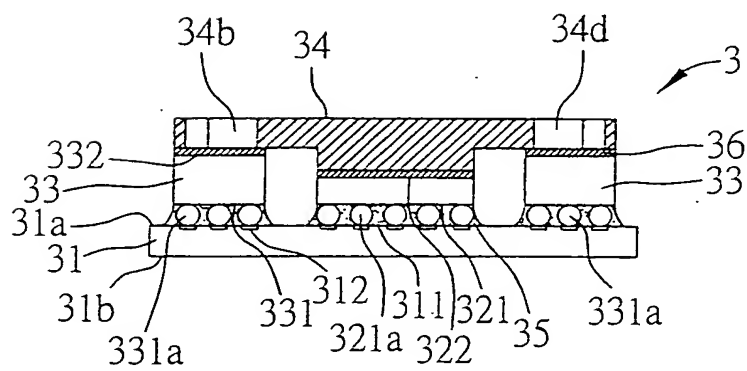
第 4c 圖



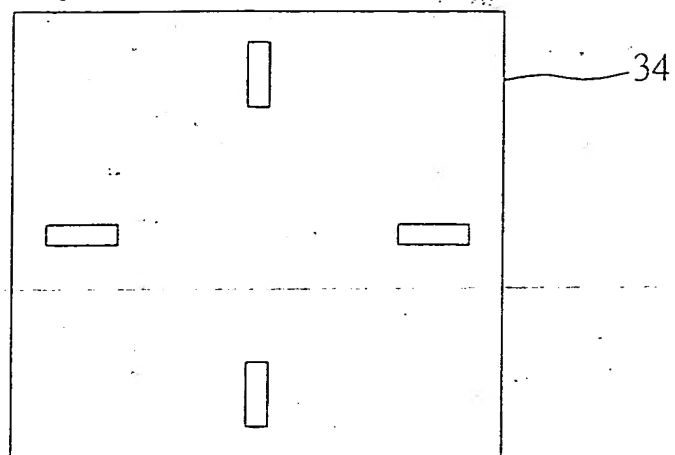
第 5 圖



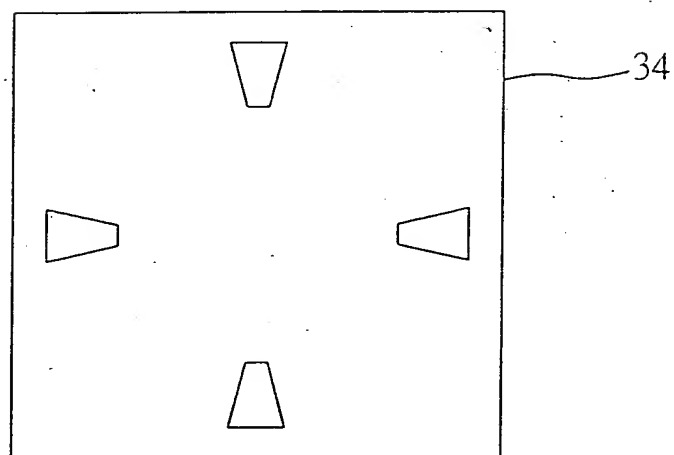
第 6a 圖



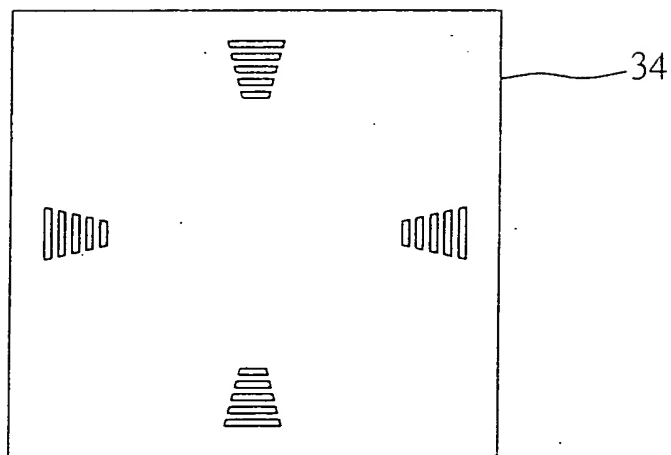
第 6b 圖



第 7a 圖



第 7b 圖



第 7c 圖

